

Использование аппарата сетей Петри для моделирования систем.

Цель работы - Изучение матричных способов представления сетей Петри (СП) и методов исследования СП-моделей на основе матричных уравнений и дерева достижимых разметок (ДДР).

Порядок выполнения работы

1. Выбрать структуру сети Петри (приложение 1) согласно варианту.

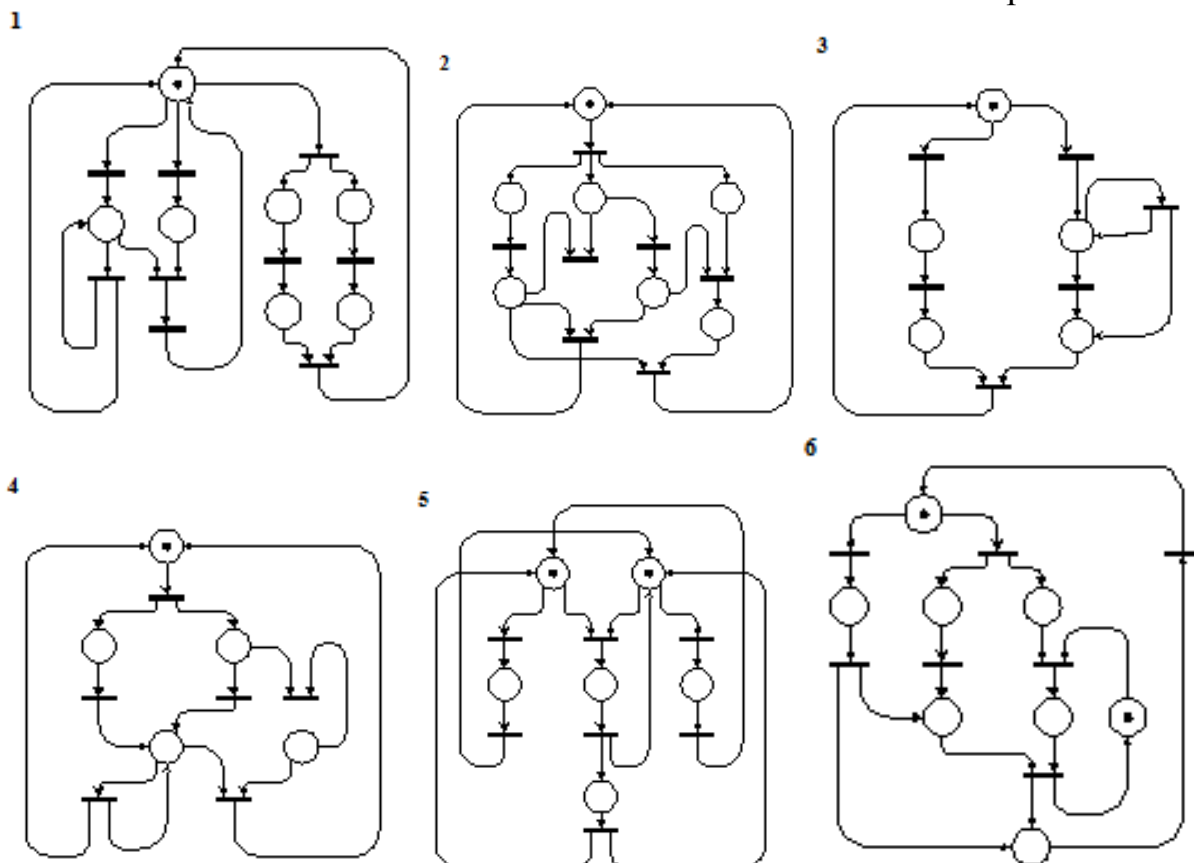
1) Оценить корректность СП-модели и предложить варианты устранения недостатков в случае их обнаружения. Допустимо добавлять новые элементы и ограниченно видоизменять топологию сети. Полученная модель должна отвечать требованиям живости и безопасности.

2) Провести анализ полученной СП-модели при помощи матричных методов и дерева достижимых разметок

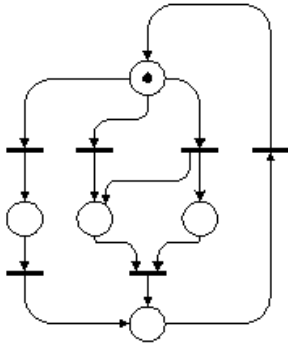
2. Разработать СП-модель для объекта в строительстве (из первой работы).

3. Выбрать вычислительную структуру в соответствии с номером варианта (приложения 2) и разработать СП-модель в соответствии с ее словесным описанием.

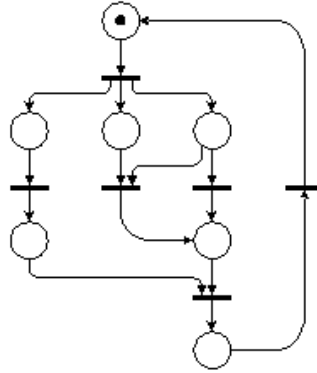
Приложение 1



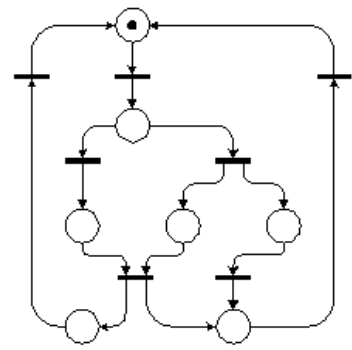
7



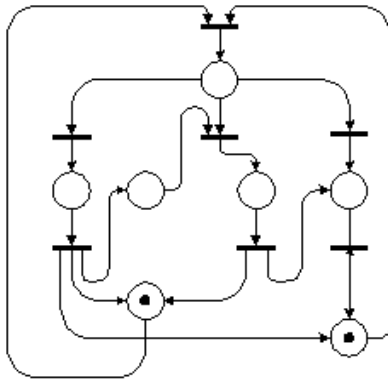
8



9



10



Приложение 2

1. Дана вычислительная структура, которая состоит из двух независимых подканалов $ПКВ1$, который вводит данные, и $ПКВ2$, который выводит данные. Обработка данных ведется на конвейерном процессоре, состоящем из трех процессорных элементов. Если работает процессор, то ввод данных запрещен.

2. Дана вычислительная структура, которая включает канал ввода-вывода, состоящий из подканалов $ПКВ1$, $ПКВ2$, $ПКВ3$, и параллельный процессор, состоящий из трех процессорных элементов $ПЭ1$, $ПЭ2$, $ПЭ3$. Ввод данных выполняют подканалы $ПКВ1$ и $ПКВ2$, вывод - подканал $ПКВ2$. Подканал $ПКВ3$ управляет передачей данных в процессорные элементы: $ПЭ1$ занимает подканал $ПКВ3$ на все время обработки данных, $ПЭ2$ - только на время ввода и вывода, $ПЭ3$ - только на время вывода.

3. Даны вычислительные структуры $ВС1$ и $ВС2$. $ВС1$ имеет параллельный процессор, состоящий из двух процессорных элементов. $ВС2$ имеет конвейерный процессор, также состоящий из двух процессорных элементов. Канал ввода-вывода включает два подканала $ПКВ1$ и $ПКВ2$. Ввод и обработка данных в $ВС1$ производится под управлением подканала $ПКВ1$, а в $ВС2$ - под управлением подканала $ПКВ2$. Вывод данных из $ВС1$ и $ВС2$ требует занятия канала ввода-вывода полностью.

4. Даны вычислительные структуры $ВС1$ и $ВС2$, которые имеют соответственно параллельный ($ПЭ1||ПЭ2||ПЭ3$) и последовательный

(*ПЭ1–ПЭ2*) процессоры. Обработка данных в процессорах *ВС1* и *ВС2* начинается одновременно. Канал ввода-вывода имеет один подканал и выполняет ввод и вывод данных в каждой вычислительной структуре.

5. Даны вычислительные структуры *ВС1*, *ВС2*, *ВС3* и канал ввода-вывода, состоящий из подканалов *ПКВ1*, *ПКВ2*, *ПКВ3*. *ВС1* выполняет ввод данных с использованием подканалов *ПКВ1* и *ПКВ2*. *ВС2* выполняет обработку данных на процессоре со следующей структурой (*ПЭ1||ПЭ2*)–*ПЭ3*). *ВС3* выполняет вывод данных с использованием подканалов *ПКВ2* и *ПКВ3*.

6. Даны вычислительные структуры *ВС1*, *ВС2*, *ВС3* и канал ввода-вывода, который включает два подканала *ПКВ1* и *ПКВ2*. *ВС1* вводит данные с использованием подканалов *ПКВ1* и *ПКВ2*. *ВС2* выводит данные с использованием подканала *ПКВ2*. Обработка ведется *ВС3* на последовательно-параллельном процессоре со структурой (*ПЭ1* (*ПЭ2||ПЭ3*)).

7. Дана вычислительная структура и канал ввода-вывода, который может использоваться при вводе и выводе данных одновременно. Обработке данных ведется на параллельном процессоре со структурой (*ПЭ1||ПЭ2||ПЭ3*).

8. Дана конвейерная система, которая включает вычислительные структуры *ВС1*, *ВС2*, *ВС3* и канал ввода-вывода с подканалами *ПКВ1* и *ПКВ2*. *ВС1* и подканал *ПКВ1* вводят данные, *ВС2* и подканал *ПКВ2* выводят данные, *ВС3* выполняет обработку. Обработка ведется на процессоре со структурой ((*ПЭ1||ПЭ2*)–*ПЭ3*–(*ПЭ4||ПЭ5*)).

9. Дана параллельная система, которая включает вычислительные структуры *ВС1*, *ВС2*, *ВС3* и канал ввода-вывода, который вводит и выводит данные во все структуры синхронно. Каждая вычислительная структура имеет последовательный процессор, состоящий из двух процессорных элементов *ПЭ1* и *ПЭ2*. Условием начала работы *ПЭ2* в *ВС2* является окончание обработки данных в *ВС3*, а условием начала работы *ПЭ2* в *ВС1* является окончание обработки данных в *ВС2*.

10. Даны вычислительные структуры *ВС1*, *ВС2*, *ВС3* и *ВС4*. Все вычислительные структуры обмениваются данными с одним и тем же буфером. Передача данных осуществляется каналом ввода-вывода, содержащим подканал *ПКВ1*. Процессоры вычислительных структур являются последовательными и состоят из двух процессорных элементов. Обработку данных вычислительные структуры ведут в следующем порядке: *ВС1*, *ВС3*, *ВС4*, *ВС2*.

Контрольные вопросы

1. Что такое СП и с помощью каких параметров она задается?
2. Что такое живость, безопасность, ограниченность и достижимость СП?
3. Как интерпретируются для моделируемой ВС живость, ограниченность и достижимость СП?

4. Как выглядит уравнение состояния СП?
5. В чем заключаются матричные методы исследования СП-моделей?
6. Что такое полная p -цепь и полная t -цепь?
7. Что такое дерево достижимых разметок?
8. Какие приемы использованы в алгоритме построения дерева достижимых разметок для ограничения дерева?
9. Какие свойства СП исследуются в процессе анализа?
10. Какова интерпретация позиций и переходов при описании СП вычислительных структур?
11. Как можно доказать корректность иерархической СП-модели?
12. Как определяется степень детализации иерархической СП-модели ВС?
13. Какие Вы знаете пути практического применения СП при проектировании и анализе ВС?
14. Какие методы проектирования многоуровневых ВС Вам известны? В чем достоинства и недостатки данных методов?